



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10334244 A**(43) Date of publication of application: **18.12.98**

(51) Int. Cl.

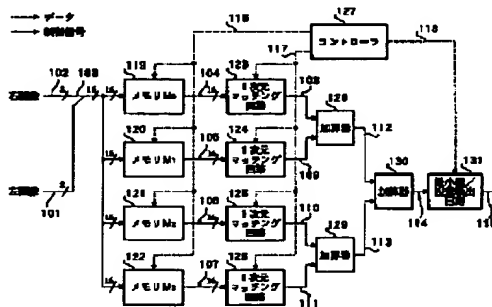
G06T 7/00**G01B 11/24**(21) Application number: **09161891**(22) Date of filing: **04.06.97**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **ONDA KATSUMASA**(54) **STEREO MATCHING DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To execute stereo matching at a high speed by compositing stereoscopic images and writing the composited image to a memory corresponding to each horizontal line to attain evaluation of coincidence of a small rectangular area for each clock with a simple circuit configuration.

SOLUTION: Pixels of a left image 101 and a right image 102 are composited between corresponding pixels in a way that high-order 8 bits are pixels for the right image and low-order 8 bits are pixels for the left image as 16-bit pixels and written in memories M_0 - M_3 . Data 104-107 read sequentially synchronously with a clock signal are given to linear matching circuits 123-126 and a difference absolute sum of 4 pixels in the horizontal direction is calculated synchronously with the clock signal. The difference absolute sum is added by adders 128-130 and a difference absolute sum 114 of all pixels in the small rectangular area is obtained for each clock. A minimum value/parallax detection circuit 131 detects/reserves the minimum difference absolute sum and the parallax in a retrieval range and outputs a result 115 at the end of retrieval.

COPYRIGHT: (C)1998,JPO


BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334244

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

G 0 6 T 7/00

G 0 1 B 11/24

識別記号

F I

G 0 6 F 15/62

G 0 1 B 11/24

4 1 5

K

審査請求 未請求 請求項の数 3 F D (全 11 頁)

(21) 出願番号 特願平9-161891

(22) 出願日 平成9年(1997)6月4日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 恩田 勝政

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

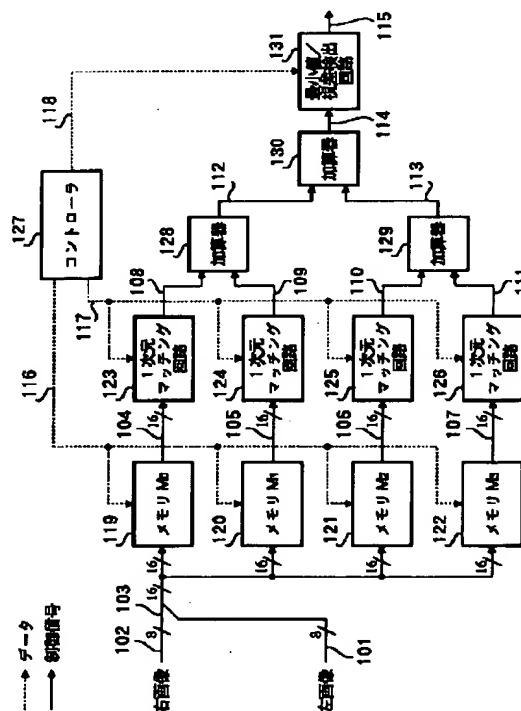
(74) 代理人 弁理士 鷲田 公一

(54) 【発明の名称】 ステレオマッチング装置

(57) 【要約】

【課題】 ステレオ画像について高速のステレオマッチングを簡単な回路構成で実現すること。

【解決手段】 左画像101と右画像102の対応する画素位置どうしの画素データを合成して、複数のメモリ $M_0 \sim M_{n-1}$ に保存する。コントローラ127がメモリへの書き込みアドレスを以下の如く制御する。垂直方向の画素位置のインデックスを y ($0 \leq y \leq N_v - 1$) として、
 $y = n \times k$ の合成画素値をメモリ M_0
 $y = n \times k + 1$ の合成画素値をメモリ M_1
:
 $y = n \times k + (n - 1)$ の合成画素値をメモリ M_{n-1} に基づいて合成データを書き込む。



【特許請求の範囲】

【請求項1】 ステレオ画像上の各ブロックについて同一画素位置の画素データを合成する合成手段と、前記ブロックの垂直方向の各画素位置に対応して設けられた複数のメモリと、前記メモリに対して対応する垂直方向の画素位置の合成データを書き込むメモリ制御手段と、前記各メモリに書き込まれた合成データを同時に読み出してステレオマッチングを行うマッチング手段とを具備するステレオマッチング装置。

【請求項2】 メモリ制御手段は、ステレオ画像の水平方向画素数が N_H 、垂直方向画素数が N_V の場合、1ブロック分の合成データからなる合成画像の水平方向の画素位置を表すインデックスを x ($0 \leq x \leq N_H - 1$)、垂直方向の画素位置を表すインデックスを y ($0 \leq y \leq N_V - 1$) とし、 k を $0 \sim ((N_V/n) - 1)$ の正の整数 (n は定数) とするとき、下記インデックス y 、

$y = n \times k$ の合成画素値をメモリ M_0 、

$y = n \times k + 1$ の合成画素値をメモリ M_1

:

:

$y = n \times k + (n - 1)$ の合成画素値をメモリ M_{n-1}

に基づいて合成データを書き込むことを特徴とする請求項1記載のステレオマッチング装置。

【請求項3】 マッチング手段は、夫々対応するメモリから読み出された合成データを画像別に保存すると共にクロックに同期してステレオ画像間の水平方向の相関値を検出する複数のマッチング回路を備えることを特徴とする請求項1又は請求項2記載のステレオマッチング装置。

【発明の詳細な説明】

$$x = \frac{a(X_L + X_R)}{X_L - X_R}, y = \frac{2aY_L}{X_L - X_R}, z = \frac{2af}{X_L - X_R} \quad (1)$$

あるいは、

$$X_L = \frac{(x+a)f}{z}, X_R = \frac{(x-a)f}{z}, Y_L = Y_R = \frac{yf}{z} \quad (2)$$

と求められる。

【0004】 ここで、

$$d = X_L - X_R \quad (3)$$

は視差を表している。(2)式から $a > 0$ であるので

$$X_L > X_R \quad \text{かつ} \quad Y_L = Y_R \quad (4)$$

が成り立つ。

【0005】 これは、一方の画像面上の1点の他方の画像面上での対応点は、同じ走査線上、かつ $X_L > X_R$ の範囲に存在することを表す。したがって、一方の画像上の1点に対応した他方の画像上の点は、対応点が存在する可能性のある直線に沿ったある小領域について画像の類似性を調べて見いだすことができる。

【0006】 次に、類似性の評価方法について説明す

* 【0001】

【発明の属する技術分野】 本発明は、ステレオ画像間の対応付け（ステレオマッチング）を高速で行う高速ステレオマッチング装置に関するものである。

【0002】

【従来の技術】 ステレオ画像による3次元計測（以下、「ステレオ画像計測」という）の原理について図9を用いて説明する。図9において、実空間を表す座標として (x, y, z) を用い、画像面（カメラの撮像面）上の位置を表す座標として (X, Y) を用いる。ただし、2台のカメラ $8L$ 、 $8R$ を区別するために、左カメラの画像面上の位置を表す座標として (X_L, Y_L) を用い、右カメラの画像面上の位置を表す座標として (X_R, Y_R) を用いる。 x 軸と X_L 軸、 x 軸と X_R 軸、 y 軸と Y_L 軸、 y 軸と Y_R 軸は各々互いに平行であり、 z 軸は2台のカメラの光軸とともに平行であるとする。実空間座標系の原点を左右カメラの投影中心の midpoint にとり、投影中心間の距離を基線長と呼びその長さを $2a$ で表すことにする。また、投影中心と画像面との距離（焦点距離）を f で表す。

【0003】 今、実空間内の点 p が左画像面上の点 $P_L (X_L, Y_L)$ 、右画像面上の点 $P_R (X_R, Y_R)$ にそれぞれ投影されたとする。ステレオ画像計測では、画像面上において P_L 、 P_R を決定し（ステレオマッチング）、三角測量の原理に基づいて点 p の実空間座標 (x, y, z) を求める。ここでは、2台のカメラの光軸が同一平面上にあり x 軸と X 軸とを平行にしていることから、 Y_L と Y_R とは同じ値をとる。画像面上の座標 X_L 、 Y_L 、 X_R 、 Y_R と実空間内の座標 x 、 y 、 z との関係は、

* 30 【数1】

※ ※ 【数2】

☆る。類似性の評価方法の一例として、尾上守夫他編「画像処理ハンドブック」（昭晃堂）に両画像間の相互相関値を調べる方法が記載されている。図10を用いて、両画像間の相互相関値を調べる方法について説明する。

【0007】 いま、右画像上のある画素903に対応する左画像中の点（対応点）を決定するものとする。対応点を決定したい右画像上の画素903を中心とする大きさ $n \times m$ 画素の矩形小領域904を設定し、その内部における画素の輝度値を $I_R(i, j)$ とする。一方、

(4)式の条件を満たす左画像上の画素を中心とする大きさ $n \times m$ 画素の矩形小領域905の内部における画素の輝度値を $I_L(i, j)$ とする。それぞれの小領域についての輝度値の平均と分散を μ_L 、 μ_R 、 σ_L 、 σ_R

2とすると、これらの小領域間の相互相関値は次式で与えられる。

* 【数3】

*

$$C = \frac{\sum_{i=1}^M \sum_{j=1}^N (I_L(i, j) - \mu_L)(I_R(i, j) - \mu_R)}{\sqrt{\sigma_L^2 \sigma_R^2}} \quad (5)$$

対応点が存在する可能性のある直線（この場合、走査線）に沿ってこの値を計算し、この値が最大となる部分を対応点とする。

【0008】この方法では、対応点を画素単位に決定することができ、また対応点が決まればその対応点の座標位置から（3）式を用いて、画素毎の視差が求まることになる。しかしながら、対応点の決定には非常に多くの演算量を要することになる。対応点を決定するすべての画素について、上式の演算を対応点が存在する可能性のある範囲全域にわたって実行するからである。

【0009】相関計算のための小領域の大きさを小さくすれば演算速度は速くできるが、画像の歪みや雑音の影響を受けやすくなり、対応点検出の安定性が悪くなる。逆に、小領域の大きさを大きくすると、多くの演算時間を要するのみでなく、相関値の変化が緩やかになりすぎ、対応点検出の精度が低下する。小領域の大きさは、対象とする画像の性質により適当に設定することが必要である。

【0010】以上説明したように、画素毎に対応点を決定する方法では膨大な演算量を必要とする。そこで、画像をある大きさのブロックの単位に分割し、ブロック毎に対応領域を決定する方法がある。ブロック毎に左右画像間の対応領域を求める方法としては、たとえば、特開平5-114099号がある。

【0011】図11を用いて上記公開公報記載の方法について説明する。今、右画像1002を基準とし、右画像を $n \times m$ 画素のサイズのブロック1004を1単位として分割し、分割されたブロック毎に左画像1001中より対応領域を探索し視差を求める。対応領域決定のための類似度評価式として、

【数4】

$$C = \sum |L_i - R_i| \quad (6)$$

を用いる。ここで L_i 、 R_i はそれぞれ左ブロック1003、右ブロック1004内の i 番目の画素における輝度値である。この評価式は、（5）式のような平均値を引く等の操作を伴わないため類似度評価式（5）式に比べれば演算量は少なく済む。

【0012】以上説明したように、ステレオ画像の対応付け処理には、膨大な演算量を要するため、実用化に際しては、これらの演算を高速に実行するハードウェア（ステレオマッチング回路）が必要となる。前述の特開平5-114099号には、具体的なステレオマッチング回路の構成についても開示されている。これは、51 ※50

※2（H）×200（V）画素からなる画像を、4×4画素からなる矩形小領域（水平128、垂直20）に分割し、前記矩形小領域毎にステレオマッチングを実行することによって実空間の3次元（例えば距離）情報を計測するものである。前記ステレオマッチング回路では、2クロックに1回の割合で前記矩形小領域の一致度評価を行う。すなわち、2クロックに1回、（6）式の演算を実行するような構成になっており、探索範囲が100画素の場合、約200クロックでひとつの矩形小領域のマッチングを終了する。この装置では、合計128×20ヶの矩形小領域のステレオマッチングをおよそ0.076秒で実行することができる。

【0013】

20 【発明が解決しようとする課題】上記したように、従来のステレオマッチング回路は、2クロックに1回の割合で矩形小領域の一致度評価を行うような構成になっており、画面全体のステレオマッチングをおよそ0.076秒で計測することができる。

【0014】しかしながら、上記回路構成でさらに処理時間を短縮するためには、クロックの周波数を上げるしかないため、回路構成が複雑化する問題がある。

30 【0015】本発明は、以上のような実状に鑑みてなされたもので、簡単な回路構成で、しかも1クロックに1回の割合で矩形小領域の一致度評価を行うことができ、上記従来装置に比べ約1/2の時間でステレオマッチングが可能な、優れた高速ステレオマッチング装置を提供することを目的とする。

【0016】

40 【課題を解決するための手段】上記目的を達成するために、本発明は次のような手段を講じた。請求項1記載の発明は、ステレオ画像上の各ブロックについて同一画素位置の画素データを合成する合成手段と、前記ブロックの垂直方向の各画素位置に対応して設けられた複数のメモリと、前記メモリに対して対応する垂直方向の画素位置の合成データを書き込むメモリ制御手段と、前記各メモリに書き込まれた合成データを同時に読み出してステレオマッチングを行うマッチング手段とを具備する構成を採る。

【0017】この構成により、ステレオ画像を合成して水平ライン毎に各々対応するメモリに書き込むようにしたので、簡単な回路構成で、1クロック毎に矩形小領域の一致度評価を行うことが可能となり、非常に高速にステレオマッチングを実行することができるという効果を有する。

【0018】請求項2記載の発明は、請求項1記載のステレオマッチング装置において、メモリ制御手段が、ステレオ画像の水平方向画素数が N_H 、垂直方向画素数が N_V の場合、1ブロック分の合成データからなる合成画像の水平方向の画素位置を表すインデックスを x ($0 \leq x \leq N_H - 1$)、垂直方向の画素位置を表すインデックスを y ($0 \leq y \leq N_V - 1$)とし、 k を $0 \sim ((N_V/n) - 1)$ の正の整数 (n は定数) とするとき、下記インデックス

$y = n \times k$ の合成画素値をメモリ M_0

$y = n \times k + 1$ の合成画素値をメモリ M_1

:

:

$y = n \times k + (n - 1)$ の合成画素値をメモリ M_{n-1}

に基づいて合成データを書き込む構成を採る。

【0019】この構成により、ステレオ画像を合成した合成データを水平ライン毎に各々対応するメモリに書き込むことができ、簡単な回路構成で、1クロック毎に矩形小領域の一致度評価を行うことが可能となる。

【0020】請求項3記載の発明は、請求項1又は請求項2記載のステレオマッチング装置において、マッチング手段に、夫々対応するメモリから読み出された合成データを画像別に保存すると共にクロックに同期してステレオ画像間の水平方向の相関値を検出する複数のマッチング回路を備える構成を採る。

【0021】この構成により、1クロックでステレオ画像間の水平方向の相関値を検出することができるので、1クロック毎に矩形小領域の一致度評価を行うことが可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

【0023】なお、以下の説明に於いては、従来技術で引用した特開平5-114099号のステレオマッチング方法を、本発明の高速ステレオマッチング回路で実現する場合を例に説明を行う。したがって、図6に示すように、入力画像401 (左画像および右画像) のサイズは、水平方向画素数 N_H が512画素、垂直方向画素数 N_V が200画素、1画素当たりのビット数 A は8ビットとする。また、入力画像を 4×4 画素からなる矩形小領域402で分割し、合計128 \times 50ケの矩形小領域についてステレオマッチング処理を行うものとする。

【0024】図1は、本発明の一実施の形態に係る高速ステレオマッチング回路のブロック図を示したものである。

【0025】この高速ステレオマッチング回路は、水平方向画素数が N_H ($= 512$)、垂直方向画素数が N_V ($= 200$)、1画素当たり A ($= 8$) ビットの画素値を有する2系統の画像 (左画像101および右画像102) が入力される。

【0026】本実施の形態の高速ステレオマッチング回路には、左画像101と右画像102との合成画像が後述するルールにしたがって書き込まれるメモリ $M_0 \sim M_3$ 119 \sim 122が備えられ、各メモリ $M_0 \sim M_3$ 119 \sim 122から読み出される4系統のデータ104 \sim 107が入力される1次元マッチング回路123 \sim 126が備えられている。さらに、高速ステレオマッチング回路には、1次元マッチング回路123 \sim 126の出力108と109並びに110と111をそれぞれ加算する加算器128、129と、加算器128、129の出力112、113を加算する加算器130と、加算器130の出力114から最小の差分絶対値和を検出する最小値/視差検出回路131と、コントローラ127が備えられている。

【0027】図2は1次元マッチング回路 (123 \sim 126) の機能ブロックである。1次元マッチング回路は、参照データ保持ブロック601とスキャンデータ保持ブロック602を備える。参照データ保持ブロック601は、4つのイネーブル付きDフリップフロップ603 \sim 606を直列接続した構成であり、スキャンデータ保持ブロック602は4つのDフリップフロップ607 \sim 610を直列接続した構成である。イネーブル付きDフリップフロップ603 \sim 606はコントローラ127からの制御信号によって制御される。同一段に配置されたイネーブル付きDフリップフロップ603 \sim 606及びDフリップフロップ607 \sim 610の各出力を差分絶対値回路611 \sim 614に入力している。差分絶対値回路611、612が一方の加算器615に接続され、残りの差分絶対値回路613、614がもう一方の加算器616に接続される。これら2つの加算器615、616を加算器617に接続している。

【0028】以上のように構成された高速ステレオマッチングの動作について説明する。まず、入力と同時に、左画像101および右画像102の各々対応する画素位置どうして画素毎に、上位8ビットが一方 (右画像) の画素値、下位8ビットがもう一方 (左画像) の画素値となる16ビットの値 (以下、「合成画素値」と呼ぶ) に合成される。この合成画素値は、後記のルールにしたがって n 個の対応するメモリ $M_0 \sim M_3$ ($n=4$) にそれぞれ書き込まれる。“ n ”は、矩形小領域の垂直方向の画素数 ($= 4$) と同じ値にとる。メモリへの書き込み制御はコントローラ127からの制御信号116によって行う。なお、合成画素値で構成される画像を合成画像と呼ぶことにするが、この合成画像は、水平方向画素数が512、垂直方向画素数が200、1画素当たり16ビットの画素値をもつ画像となる。

【0029】<ルール>合成画像の水平方向の画素位置を表すインデックスを x ($0 \leq x \leq 511$)、垂直方向の画素位置を表すインデックスを y ($0 \leq y \leq 199$) とし、 k を $0 \sim 49$ の正の整数とすると、



$y = 4 \times k$ の合成画素値をメモリ M_0 。
 $y = 4 \times k + 1$ の合成画素値をメモリ M_1 。
 $y = 4 \times k + 2$ の合成画素値をメモリ M_2 。
 $y = 4 \times k + 3$ の合成画素値をメモリ M_3 。
 に書き込むものとする。

【0030】したがって、図3に示すように、合成画像の垂直方向インデックス y ($0 \leq y \leq 199$) 毎に、
 $y = 0, 4, 8, \dots, 196$ の合成画素値はメモリ M_0 。
 $y = 1, 5, 9, \dots, 197$ の合成画素値はメモリ M_1 。
 $y = 2, 6, 10, \dots, 198$ の合成画素値はメモリ M_2 。
 $y = 3, 7, 11, \dots, 199$ の合成画素値はメモリ M_3 。
 に書き込まれることになる。一例として、メモリ M_0 へのデータ格納例を図4に示し、メモリ M_1 へのデータ格納例を図5に示す。

【0031】以上のようにして、合成画像がメモリ $M_0 \sim M_3$ に書き込まれた後、コントローラ127からの制御信号116によって、同じアドレスのデータ（画素値）が1クロック周期でメモリ $M_0 \sim M_3$ から同時に $x = 0, 1, 2, 3, \dots$ の順で読み出される。

【0032】クロックに同期して順次読み出される4系統のデータ104～107は、それぞれ1次元マッチング回路123～126に入力され水平方向4画素の差分絶対値和がクロックに同期して演算される。1次元マッチング回路123～126から出力される水平方向4画素の差分絶対値和は、加算器128～130によってさらに加算され、最終的に矩形小領域内のすべての画素（ 4×4 ）の差分絶対値和すなわち（6）式の演算結果114が1クロック毎に得られる。最小値／視差検出回路131では、探索範囲100画素に渡って1クロック毎に得られる差分絶対値和のうち、最小となる値とそのときの視差を検出／保持し、探索終了時にその結果115を出力する。

【0033】一例として、図7に示す画像左上の矩形小領域501を例にマッチング処理の流れを説明する。 $y = 0$ および $y = 1$ および $y = 2$ および $y = 3$ の画素データ（ $k = 0$ ）が、それぞれメモリ $M_0 \sim M_3$ から $x = 0, 1, 2, 3, \dots$ の順で同時に読み出され、それぞれ1次元マッチング回路123～126に入力される。

【0034】図8に1次元マッチング回路の動作タイミングを示す。1次元マッチング回路123には、 $y = 0$ の画素データが、 $x = 0, 1, 2, 3, \dots$ の順で入力される。入力された画素データ16ビットは、右画像データ（上位8ビット）と左画像データ（下位8ビット）に分離され、右画像データは参照データ保持ブロック601へ、右画像データはスキャンデータ保持ブロック602へ入力される。

【0035】参照データ保持ブロック601では、イネーブル付きDフリップフロップ603に（ x, y ）＝



（0、0）の画素データが、イネーブル付きDフリップフロップ604に（ x, y ）＝（1、0）の画素データが、イネーブル付きDフリップフロップ605に（ x, y ）＝（2、0）の画素データが、イネーブル付きDフリップフロップ605に（ x, y ）＝（3、0）の画素データがそれぞれ保持されるように、コントローラ127からの制御信号117によって制御される。イネーブル付きDフリップフロップ603～605は制御信号117がアクティブのときのみ入力データをクロックの立ち上がり同期してラッチするようなフリップフロップである。

【0036】一方、スキャンデータ保持ブロック602では、クロックに同期して入力される左画像データがDフリップフロップで構成されたシフトレジスタ607～610によって、1クロック毎に1画素ずつシフトされていく。

【0037】参照データ保持ブロック601に保持されている画素データ（ $y = 0$ の $x = 0, 1, 2, 3$ の4画素）と、スキャンデータ保持ブロック602でクロック毎にシフトされ逐次更新される画素データ（4画素）は、それぞれ、差分絶対値回路611～614にて画素毎の差分絶対値が演算され、加算器615～617にて4画素分の差分絶対値の総和がとられて1次元マッチング回路123から出力される。

【0038】同様に、1次元マッチング回路124には $y = 1$ 、1次元マッチング回路125には $y = 2$ 、1次元マッチング回路126には $y = 3$ の画素データが、それぞれ $x = 0, 1, 2, 3, \dots$ の順で入力され同様に処理される。

【0039】上述のように、4ライン分（ $y = 0, 1, 2, 3$ ）の差分絶対値和が並列に演算され、矩形小領域501の一致度評価すなわち（6）式の演算は、1クロックに1度実行されることになる。これを探索範囲全域に渡って（例えば100画素）実行し、その最小値および最小値を与える視差が、最小値／視差検出回路131で検出されて保持され、探索終了時に結果115として出力される。

【0040】最小値／視差検出回路131への制御信号118は、（1クロック毎に更新される）現在の視差および矩形小領域毎の評価結果出力タイミング（評価終了タイミング）である。

【0041】以上説明したように、本発明の実施の形態によれば、ひとつの矩形小領域のマッチングは探索範囲を100画素とした場合、およそ100クロックで実行することが可能であり、特開平5-114099号に記載の回路構成に比べ、同じクロック周波数を用いた場合、約1/2の時間（ $0.076 \div 2 = 0.038$ 秒）でステレオマッチングを実行することができる。

【0042】なお、以上の説明では、特開平5-114099号に記載のステレオマッチング方法（左右画像の

差分絶対値和を一致度評価に用いる方法)を本発明の高速ステレオマッチング回路で実現する場合を例に説明を行ったが、本発明は、前記ステレオマッチング方法に限定されるものではない。

【0043】

【発明の効果】以上説明したように、本発明によれば、簡単な回路構成で、1クロック毎に矩形小領域の一致度評価を行うことが可能となり、非常に高速にステレオマッチングを実行することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る高速ステレオマッチング回路のブロック図。

【図2】上記実施の形態における1次元マッチング回路のブロック図。

【図3】上記実施の形態における高速ステレオマッチング回路のメモリ構成を説明するための図。

【図4】上記実施の形態におけるメモリM₀へのデータ格納方法の具体例を示すメモリ構成図。

【図5】上記実施の形態におけるメモリM₁へのデータ格納方法の具体例を示すメモリ構成図。

【図6】上記実施の形態における入力画像のサイズおよび矩形小領域への分割方法の一例を示す図。

【図7】上記実施の形態における矩形小領域毎のマッチングの処理の説明図。

【図8】上記実施の形態における本発明の高速ステレオ *

* マッチング回路における、1次元マッチング回路の動作タイミングを説明するための図。

【図9】ステレオ画像による3次元情報計測方法の原理説明図。

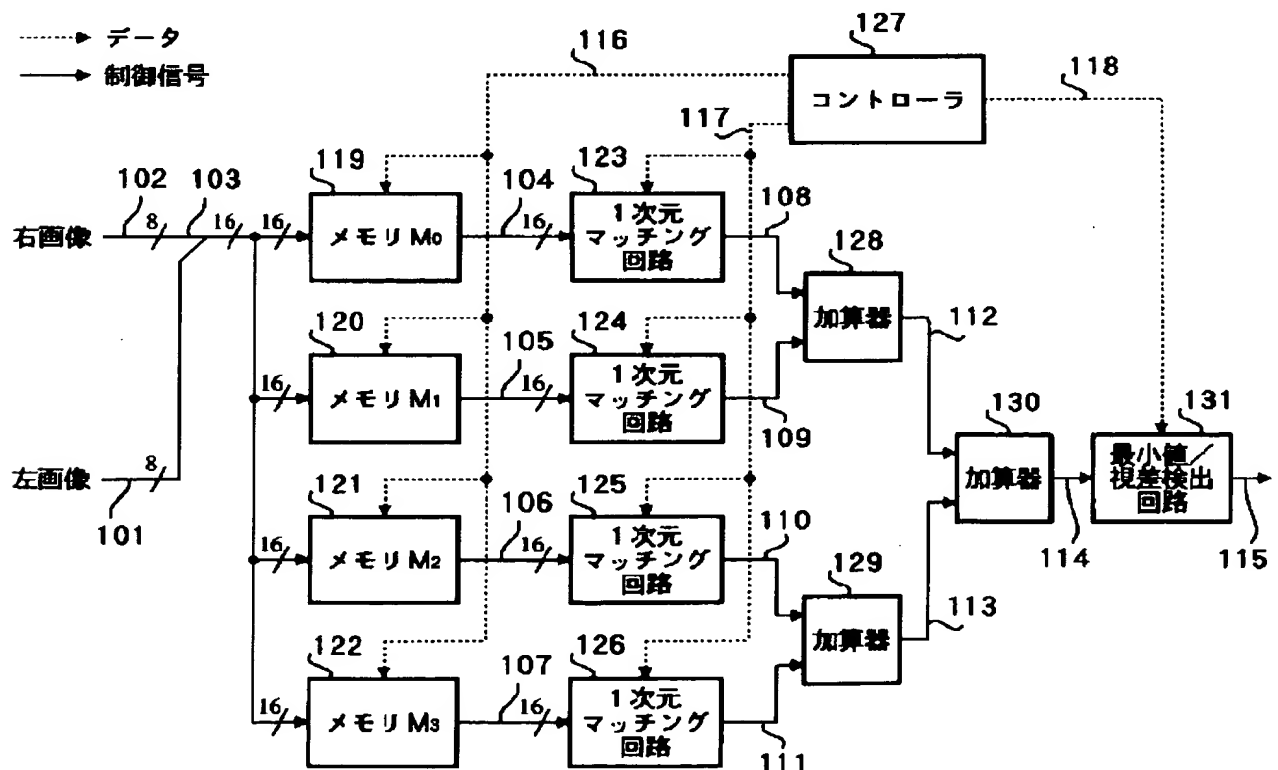
【図10】ステレオ画像による3次元情報計測のステレオマッチング法の説明図。

【図11】ステレオ画像による3次元情報計測の別のステレオマッチング法の説明図。

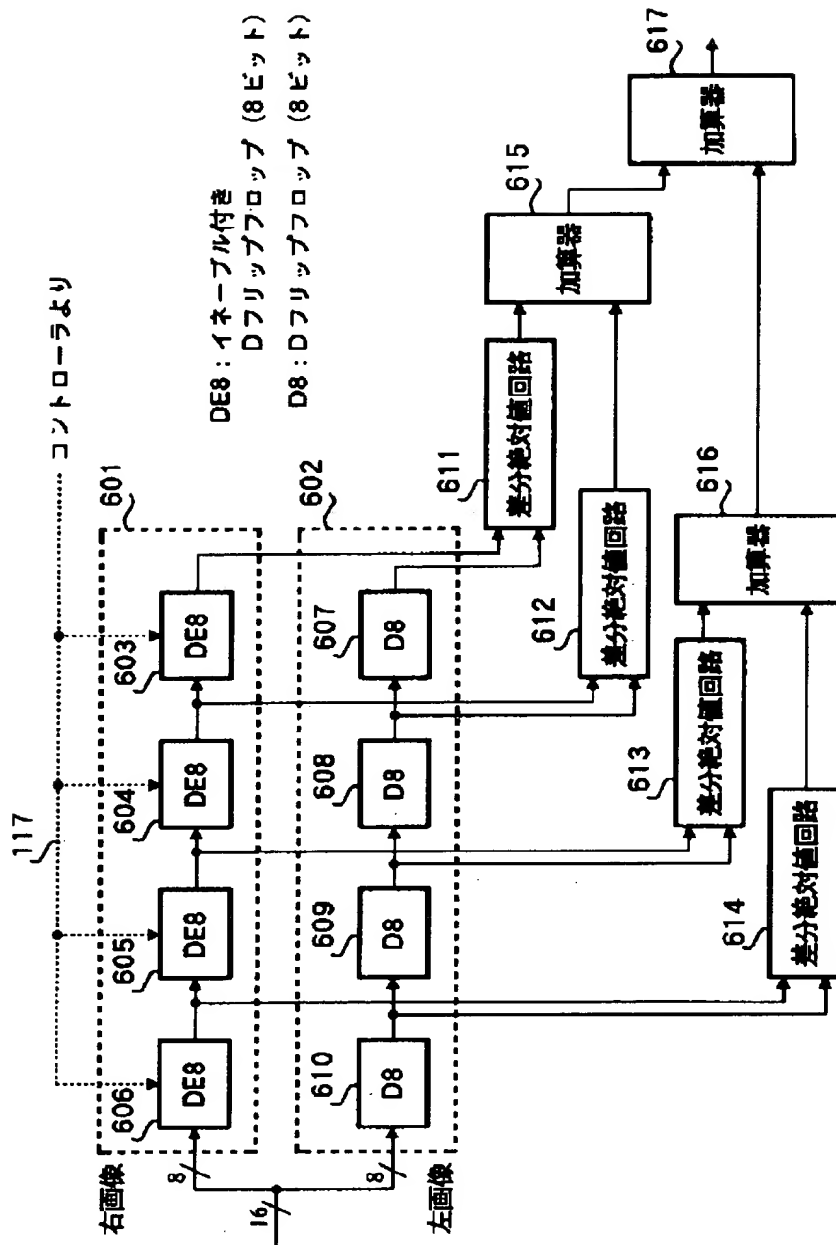
【符号の説明】

- 10 101…左画像、
102…右画像、
103…合成画像、
123～126…1次元マッチング回路
127…コントローラ、
128～130…加算器
131…最小値/視差検出回路
401…入力画像、
402…矩形小領域、
501…矩形小領域、
20 601…参照データ保持ブロック、
602…スキャンデータ保持ブロック、
603～606…イネーブル付きDフリップフロップ、
607～610…Dフリップフロップ、
611～614…差分絶対値回路、
615～617…加算器、

【図1】



【図 2】



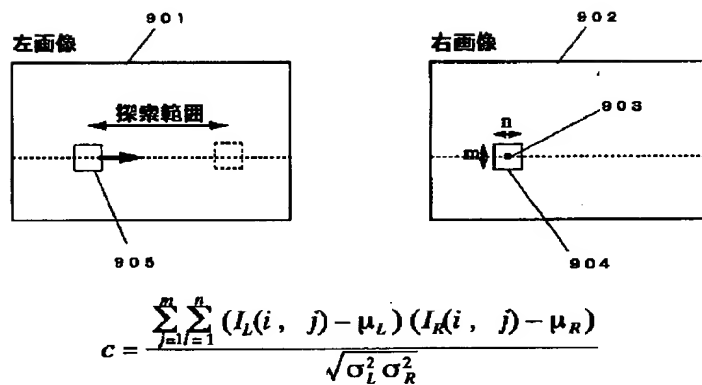
【図4】

ADDRESS	M ₀ (32K*16bit)	y	my	x
0000H	データ 0	0	0	0
0001H	データ 1	0	0	1
0002H	データ 2	0	0	2
0003H	データ 3	0	0	3
⋮	⋮	⋮	⋮	⋮
01FEH	データ 510	0	0	510
01FFH	データ 511	0	0	511
0200H	データ 512	4	1	0
0201H	データ 513	4	1	1
0202H	データ 514	4	1	2
⋮	⋮	⋮	⋮	⋮
03FEH	データ 1022	4	1	510
03FFH	データ 1023	4	1	511
0400H	データ 1024	8	2	0
0401H	データ 1025	8	2	1
0402H	データ 1026	8	2	2
⋮	⋮	⋮	⋮	⋮
05FEH	データ 1534	8	2	510
05FFH	データ 1535	8	2	511
⋮	⋮	⋮	⋮	⋮
6200H	データ 25088	196	49	0
6201H	データ 25089	196	49	1
⋮	⋮	⋮	⋮	⋮
63FEH	データ 25598	196	49	510
63FFH	データ 25599	196	49	511
7FFFH	未使用			

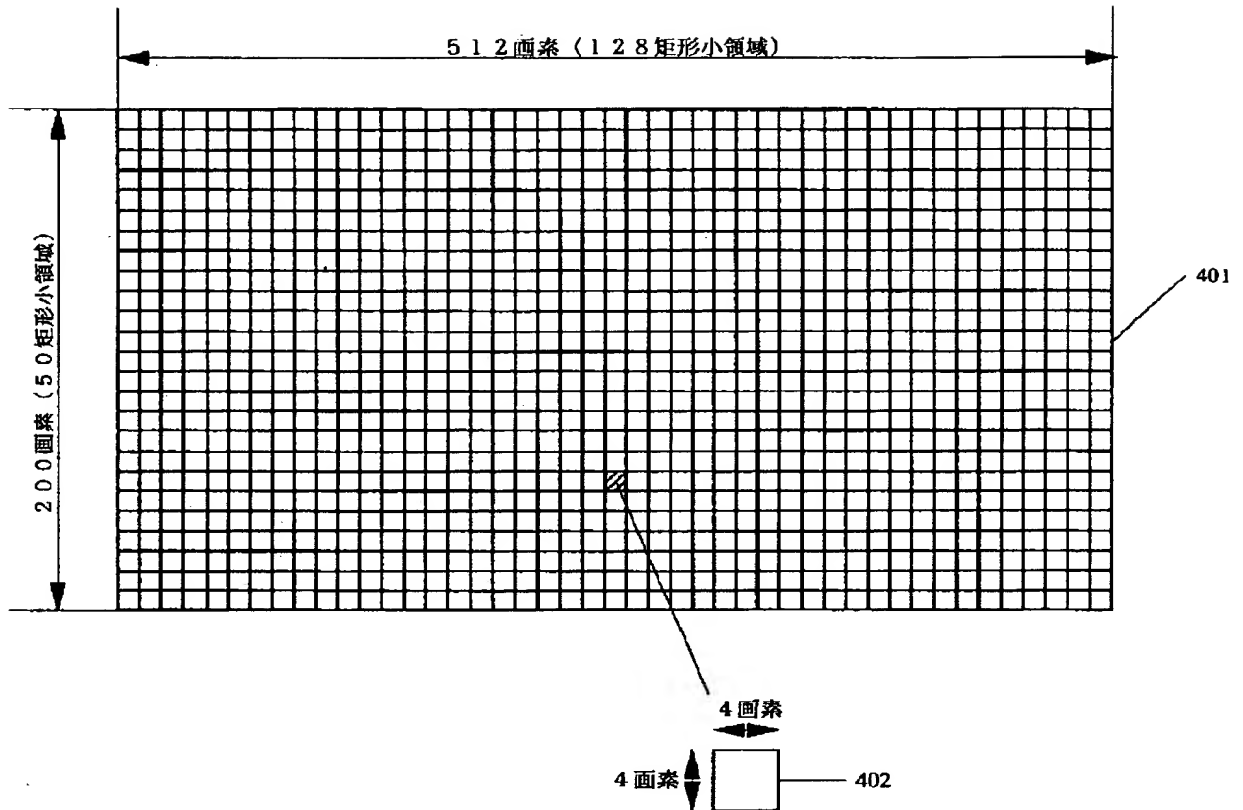
【図5】

ADDRESS	M ₁ (32K*16bit)	y	my	x
0000H	データ 0	1	0	0
0001H	データ 1	1	0	1
0002H	データ 2	1	0	2
0003H	データ 3	1	0	3
⋮	⋮	⋮	⋮	⋮
01FEH	データ 510	1	0	510
01FFH	データ 511	1	0	511
0200H	データ 512	5	1	0
0201H	データ 513	5	1	1
0202H	データ 514	5	1	2
⋮	⋮	⋮	⋮	⋮
03FEH	データ 1022	5	1	510
03FFH	データ 1023	5	1	511
0400H	データ 1024	9	2	0
0401H	データ 1025	9	2	1
0402H	データ 1026	9	2	2
⋮	⋮	⋮	⋮	⋮
05FEH	データ 1534	9	2	510
05FFH	データ 1535	9	2	511
⋮	⋮	⋮	⋮	⋮
6200H	データ 25088	197	49	0
6201H	データ 25189	197	49	1
⋮	⋮	⋮	⋮	⋮
63FEH	データ 25598	197	49	510
63FFH	データ 25599	197	49	511
7FFFH	未使用			

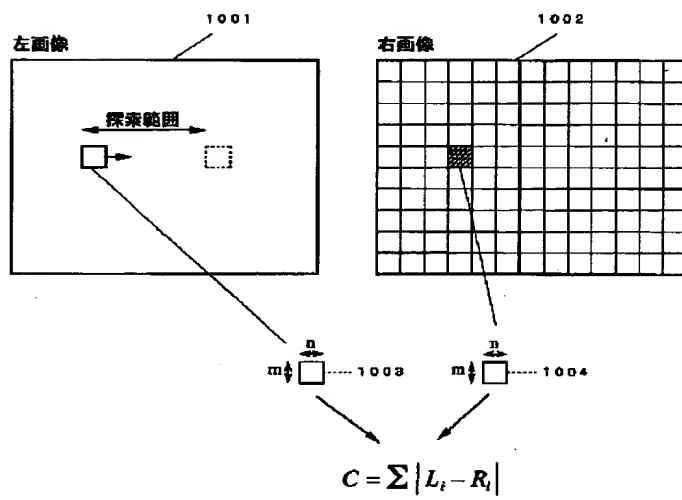
【図10】



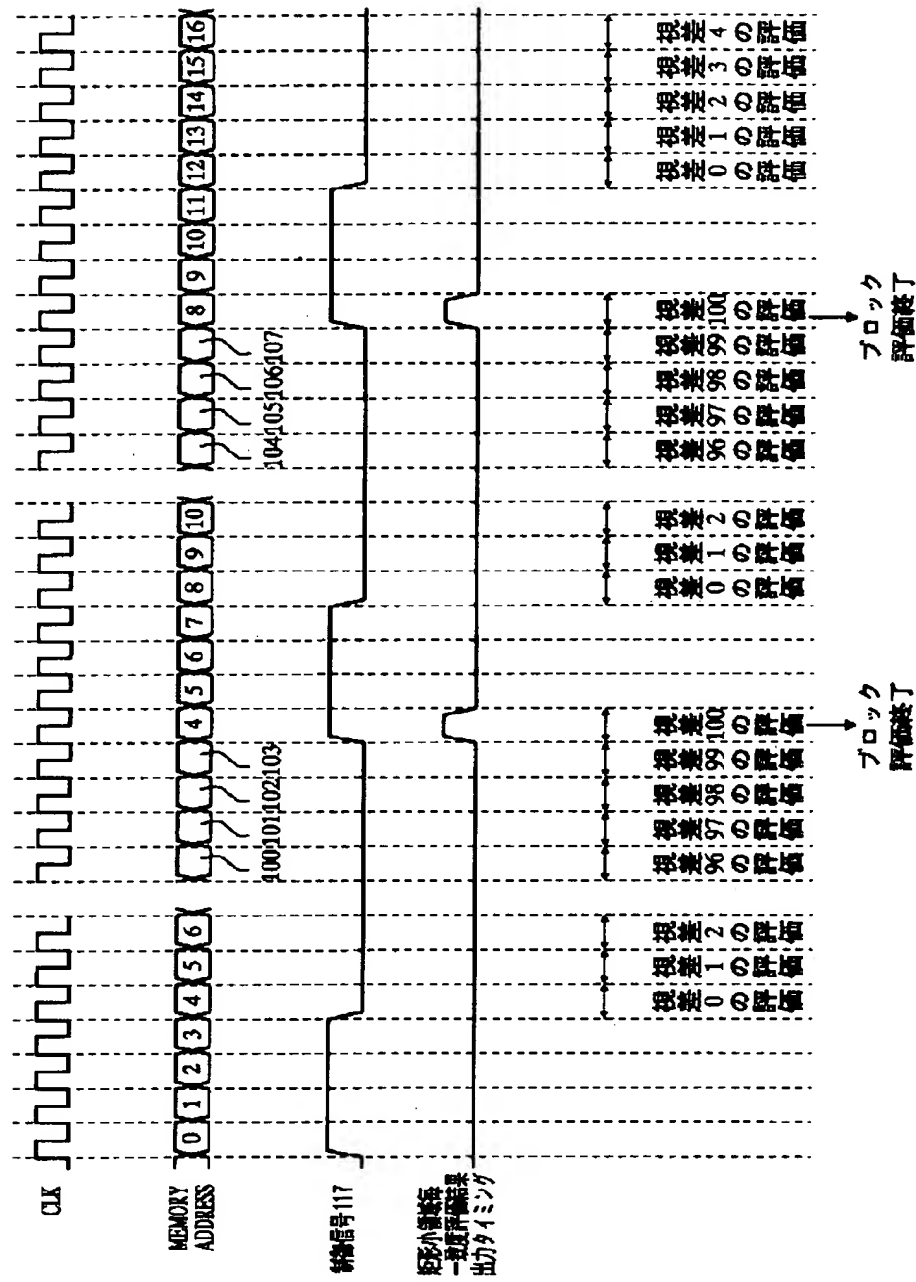
【図6】



【図11】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.